

拒絶引用S04 P 1042W000

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表平11-505374

(43) 公表日 平成11年(1999) 5月18日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 27/04

H 0 1 L 27/04

H

21/82

27/10

4 8 1

21/822

21/82

P

21/8234

27/08

1 0 2 H

27/088

審査請求 未請求 予備審査請求 有 (全 20 頁) 最終頁に続く

(21) 出願番号 特願平8-534680  
 (86) (22) 出願日 平成8年(1996) 5月13日  
 (85) 翻訳文提出日 平成9年(1997) 11月12日  
 (86) 国際出願番号 PCT/IB96/00587  
 (87) 国際公開番号 WO96/36988  
 (87) 国際公開日 平成8年(1996) 11月21日  
 (31) 優先権主張番号 08/439, 929  
 (32) 優先日 1995年5月12日  
 (33) 優先権主張国 米国 (US)  
 (81) 指定国 EP(AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, L U, MC, NL, PT, SE), JP, KR

(71) 出願人 サーフ コーポレイション  
 アメリカ合衆国 ニュージャージー州 プリンストン シーエヌ5300 ワシントンロード 201  
 (72) 発明者 エイヴリー, レスリー, ロナルド  
 アメリカ合衆国 ニュージャージー州 フレミントン キングウッド-ロックタウンロード 417  
 (74) 代理人 弁理士 長谷川 芳樹 (外5名)

(54) 【発明の名称】 マクロセル・アレイのための静電気放電保護

(57) 【要約】

望まれる回路を形成するために接続される複数の個々の回路セルから形成される集積回路のための静電気の放電 (ESD) 保護回路。好ましくは近くに間隔を置いた関係で、一対のバス線が回路セルによって形成される回路のまわりの延びる。複数のESD保護回路が間隔を置いて離れた関係でバス線間に、好ましくは保護されるべき回路セルの電気的な接続に対して閉じられた関係で、電気的に接続される。

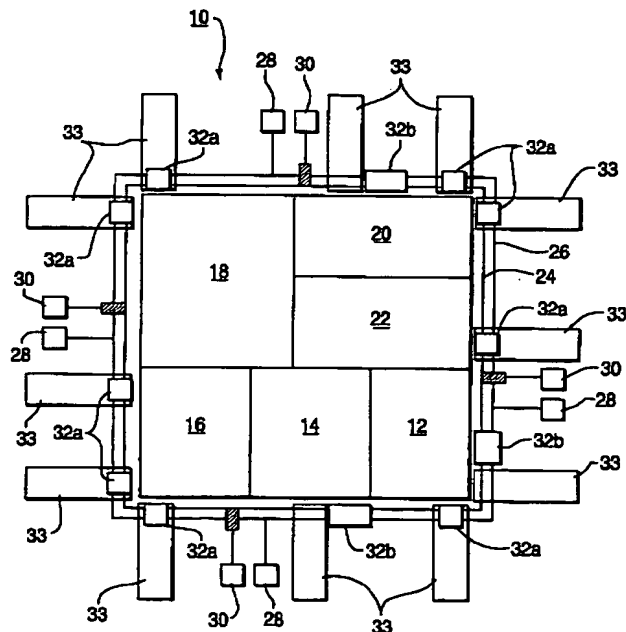


FIG. 1

## 【特許請求の範囲】

1. 静電気放電（ESD）の保護を有する回路であって、  
電氣的に互いに接続される複数の個々の回路セル（circuit cells）であって、  
この各回路セルは入力／出力接続部（I／Oパッド）を有し、  
該回路セルのまわりに延びる導電性の一対のバス線と、  
該バス線へ該回路セルを電氣的に接続する手段と、  
間隔をおいて離れた関係で該バス線間に接続される複数のESD保護回路と、  
を備える回路。
2. 該ESD保護回路は、該回路セルの一つのパッドへ近接した関係で該バス線  
に該ESD保護回路の一つが接続されていて、間隔を置いた関係で該バス線に沿  
って配置されている、請求項1に記載の回路。
3. 該ESD保護回路は、該ESD保護回路の少なくとも1個が該回路セル一つ  
のI／Oパッドの構造部内にある該バス線へ接続されていて、該バス線の沿って  
間隔を置いた関係で配置されている、請求項2に記載の回路。
4. 該回路セルの入力および出力へESD保護を提供するために、ある回路セル  
のI／Oパッドへ接続される少なくとも1個のインターフェイス保護回路を、更  
に備える請求項2に記載の回路。
5. 少なくとも一対の電源パッドを基板上に含み、該電源パッドの各々が別個の  
バス線へ電氣的に接続されている、請求項2に記載の回路。
6. 該バス線に沿って間隔を置いて離れた関係で位置決めされ該基板上に複数対  
の電源パッドを含み、各対の一方の電源パッドが該バス線の一つに電氣的に接続  
され、各対の他方の電源パッドが電氣的に他方のバス線に接続される、請求項5  
に記載の回路。
7. 該ESD保護回路は、  
シリコン制御整流器（SCR）と、  
前記SCRと並列に電氣的に接続され、該SCRをそのオン状態へ誘発する  
ための電氣的なトリガ手段と、  
該SCRのクランプ電圧を制御するために該SCRと直列に電氣的に接続され

る第 1 のツェナダイオードと、

を備える請求項 1 に記載の回路。

8. 該電氣的なトリガ手段は、該 S C R と並列に電氣的に接続される第 2 のツェナダイオードを更に備える、請求項 7 に記載の回路。

9. 該 S C R は、第 2 の端子へ電氣的に結合されるアノードと、第 1 の端子に電氣的に結合されるカソードとを有する、請求項 8 に記載の回路。

1 0. 該第 1 のツェナダイオードは、該 S C R のカソードと該第 1 の端子の間に電氣的に結合される、請求項 9 に記載の回路。

1 1. 該第 1 のツェナダイオードは、該 S C R のカソードへ電氣的に結合されるカソードと該第 1 の端子に電氣的に結合されるアノードとを有する、請求項 1 0 に記載の回路。

1 2. 該第 2 のツェナダイオードと該第 1 の端子との間に直列して電氣的に結合される抵抗を更に備え、

該第 2 のツェナダイオードは、該 S C R のアノードと該第 2 の端子とへ電氣的に結合されるカソードと該 S C R のゲートへ電氣的に結合されるアノードとを有する、請求項 1 1 に記載の回路。

1 3. 該第 1 のツェナダイオードは、該 S C R のアノードと該第 2 の端子との間に電氣的に結合され、

該第 1 のツェナダイオードは、該 S C R のアノードへ電氣的に結合されるアノードと該第 2 の端子へ電氣的に結合されるカソードとを有し、

該第 2 のツェナダイオードは、該第 2 の端子へ電氣的に結合されるカソードと該第 1 の端子へ電氣的に結合されるアノードとを有し、

該第 2 のツェナダイオードのアノードと該第 1 の端子との間に直列して電氣的に結合される抵抗と、

該第 2 のツェナダイオードと該第 2 の端子との間に直列して電氣的に接続される第 2 の抵抗と、を備える請求項 9 に記載の回路。

**【発明の詳細な説明】****マクロセル・アレイのための静電気放電保護**

本発明は、集積回路のコア論理マクロのような個々の回路セルのアレイの静電気放電（ESD）保護に関する。

**発明の背景**

多くの電子回路、特にMOSトランジスタを含む回路は、静電気放電（ESD）によって損傷を与えられることにさらされる。この問題を克服するために、ESD保護回路が、様々な型の回路部分のために開発されてきた。例えば、米国特許第5,043,782号および米国特許第5,343,053号並びに係属中の米国特許出願08/291,809号を見ると、これらの各々は参照することによってここに合体され、電源バスに関してESDからICを保護することへ特に適用できる。

今日までのところ、ESD保護の構成（scheme）は、集積回路（IC）の入力ポート、出力ポートおよび電源ポートに向けてきた（address）。しかしながら、ICが大きさおよび複雑さにおいて増してくると共に、デバイスの幾何学的配置が縮小されてきたので、コア論理回路部分を形成するマクロセルのアレイのような、個々のセルの相互接続されたアレイに対してESD損傷がよく起こる（prevalent）ようになった。このことは、マクロセルの電源線へ電源供給ESD保護の構造物を追加することによって、またマクロ論理セルのI/OポートとICの周辺部（periphery）あたり（around）の入力／出力回路との間にESD保護を設けることによって、新たな設計において注意が向けられている。一旦、このような回路は、論理セルのような様々なマクロセルを用いて設計されると、マクロセルは全体にわたる密集したデバイスを形成するように配置され、論理マクロセルの再設計を伴う実質的なレイアウトの骨折り（effort）なしに電源供給ESD保護回路を個々の各回路に提供することは難しく、デバイスの全体としての大きさを増加させる。加えて、コア論理回路部分に適するESD保護は、全体として、自動的な計算機ルーチンを使用して検証することがしばしば難しい一組の規則を適

用することを必要とする。現在のところ、このようなチップ・レイアウトを検証

するには、その分野において博識である技術者が必要とされる。このため、各マクロセルを保護するための試みよりもむしろ簡単に計算機検証される方法で、全体にわたるブロックとして、コア論理回路のための ESD 保護を大きな集積回路のコア論理回路に与えるための技術を有することが望ましい。

#### 本発明の要約

相互に関連して配置される個々の回路セルのアレイのために静電気 (ESD) 保護を有する回路は、個々の回路セルのアレイのまわりに延びる一対の伝導バス線を含む。手段が、個々の回路セルのアレイを該バス線へ接続するために提供される。複数の ESD 保護回路は、間隔を置いて配置され離れた関係で該バス線の間に電氣的に接続される。

#### 図面の簡単な説明

図面では、同類の部分 (item) は同じ参照番号によって同定される。

図 1 は、本発明に従って ESD 保護回路を含む IC の個々の複数の回路セルの配置の概略の平面図である。

図 2 は、電源バスとマクロセルとの間の意にかなった接続を表す概略の平面図をである。

図 3 は、マクロセル電源バスを含む I/O セルの概略図である。

図 4 は、周辺 I/O パッドとコアマクロとの間にあるインタフェース保護回路を図示する概略図である。

図 5 ～図 7 は本発明の実用に有用な ESD 保護回路の概略図である。

#### 詳細な記述

図 1 には、一般的に 10 と称される、コア論理ブロック (回路ブロック) のような回路が概略的に示されている。回路 10 は、(図示されていない) 基板上に密集した関係で電氣的に接続されていると共に配置されている異なる多数の個々のセル (マクロセル) 12、14、16、18、20 および 22 から成り立って

いる。全てのセルがお互いに接続されていることは必要でない。個々の回路は、CPU、ALU、RAM、ROM、MCM、バスアドレス及びバス接続回路並びに他のよく知られた回路のようなマクロセルを形成するためのゲート、フリップ

フロップ、レジスタ、メモリ、増幅器等のような機能セルを含んでいてもよい。一対の伝導バス線24及び26は、好ましくは僅かに間隔を置いて配置され離れた関係、そして実質的に平行な関係で、回路10のセル12～22のまわりに（about）、好ましくは完全に取り巻いて（around）延びる。バス線の一本、例えばバス線24は電源線であり、他のバス線26は基準電位の源、例えば接地線に接続されている。回路10の様々なセル12～22の内部バス回路は、電氣的にバス線24及び26へ接続されている。電源パッド28及び30は、バス線24及び26へ接続され、電力源へバス線を接続するためにバス線に沿って間隔を置いて離れて配置されている。各対の一方の電源パッドはバス線の一方へ電氣的に接続され、各対の他方電源パッドは他方のバス線に電氣的に接続される。

バス線は、必ずしも必要でないが好ましくは個々の回路セルのアレイを完全に囲むべきである。一旦、個々のセルのレイアウトが知られると、選択されたバス線の他の配置は、図2に示されるように同様に受け入れ可能である。ESDの目的のために、バス線24及び26の最小の目的の（final）幅は少なくとも20 [ $\mu\text{m}$ ] であるべきである。実際の幅は、論理スイッチングからの電源線要求の考慮によって更に支配されることがある。また、非常に大きいチップ上では、バス線24及び26は、バス24及び26への電源接続の間の最大抵抗10 [ $\Omega$ ] を維持するために調整を必要とすることもある。これは、平方（squares）当たり50 [ $\text{m}\Omega$ ] で200平方のメタルに対応する。マクロセルと電源バス24a及び26aとの間のメタル接続は、それぞれできる限り共に近づけるべきである。同じマクロセルへの電源バスおよび接地バスの間にわずか2 [ $\Omega$ ] 相当のマクロセル電源バスメタル（40平方未満）があるべきである。同じマクロセルへの電源バスがまたチップの一方の側から他方へ走っていない限り、マクロセルの電源端子および接地端子をチップの両側へ接続することは許されない。これは図2に図示されている。また、図2には、セルを構成する個々のデバイスへの電圧を供給する内部セルバスは、それぞれ24bおよび26bとして明示されている。

複数のESD保護回路32は、間隔を置いて離れた関係で回路10に関して様々な位置においてバス線24および26の間に形成されている。例えば、図1に

において数字 3 2 a は、以下に議論されているように、I/Oパッド 3 3 と共に要素を成す保護回路の集積を示し、3 2 b は I/Oパッドに接近している保護回路を示している。ESD 回路 3 2 の各々は、特定の ESD 回路 3 2 によって保護されるべきセル 1 2 ~ 2 4 の一つのバス線への回路セルの一つの電気的な接続部 (connections) へ、好ましくは接近して間隔を置いて、そして好ましくは隣接して、位置が定められる。セル 1 2 ~ 2 4 の特定の 1 個へ間隔を置いて接近して配置されている 1 個よりも多い ESD 回路 3 2 があってもよい。ESD 回路 3 2 は、バス線 2 4 および 2 6 へ電気的に接続され、そのバス線へ接続されているセル 1 2 ~ 2 2 への損傷を引き起こすために必要な電圧より下の電圧レベルへバス線 2 4 と 2 6 との間のあらゆる EDS の過渡電圧 (transient) をクランプする。ESD 電流はマクロセル内部バス線間の数アンペアの接触であり得るので、ESD 保護回路は電圧をクランプするセルへ加えられているバス線の電圧降下を最小にするためにできる限り近くするべきであり、そして好ましくは図 3 に図示されるように I/Oパッドの一部で有り得ることが好ましい。バス線 2 4 および 2 6 との間に ESD 保護回路 3 2 を形成することによって、個々のマクロセル 1 2 から 2 4 および回路 1 0 の全体設計を変更することなく、またその回路の全体サイズを実質的に増加することなく、予め設計されているコア論理回路ブロックへ ESD 保護回路 3 2 を追加できる。

図 3 では、パッド I/Oセル 3 3 は、シンク/インタフェース (sync/interface) セル 7 5 と電源バス 2 4 および接地バス 2 6 を好ましくはコアマクロセルのためにそれぞれ含む配線チャネル 7 3 とを包含している。配線チャネル 7 3 は、必要とされる相互接続 (interconnection) の数を提供する (accommodate) ために拡張可能である。この配列において、ESD 保護回路 3 2 は、I/Oセル 3 3 内に含まれる。敷かれたセル (オーバーレイ・セル、overlay cell) は、I/Oセル 3 3 当たりの ESD 保護回路 3 2 の数を変えるために、また配線チャネルマクロセルの相互接続を提供するために使用される。図 1 を参照すると、セル 1 2 ~ 2 2 と電源バスリング 2 4 および 2 6 との間のメタル接続は、できる限り共に近づけるべきである。同じセルへの電源接続と接地接続との間に多くても 2 [Ω]

相当のバス線のメタル（40平方未満）があるべきである。同じセルへの電源バス線がまた、チップの一方側から他方へ走っていない限り、同じセルの電源電位端子と基準電位端子とをチップの両側へ接続することは許されない。

ESDのような過渡的な事象中に、ICおよびコアマクロセルの周辺のあたりのI/Oセル内およびその間に著しい電圧差を発現させる可能性がある。したがって、これらのインタフェース（結びつけ、interface）点において、O/Iセルおよびマクロセルのゲートのためのインタフェース保護を提供することが必要である。インタフェース保護がないと、内部の基準電位バス線と電源バス線との間の過渡的な電圧は、トランジスタを損傷させ且つセルの不具合を引き起こす、トランジスタの薄いゲート酸化物にわたる過度の電位差となる。これは図4に図示されている。小さいツェナダイオード402は、好ましくは、周辺のI/Oセル406からの駆動信号を受けるコアマクロセル404への、およびコアマクロからの駆動信号を受ける各I/Oインタフェースへの入力において含まれる。ツェナダイオードは、インタフェース駆動器（driver、ドライバ）408である実際の入力ゲートに可能な限り近くに置かれるべきである。接地の戻りは、可能な最高のクランプ動作を確実にするために、入力デバイス、好ましくはNMOSTランジスタのソース接続部に近づけて置かれるべきである。インタフェース駆動器の出力と直列である抵抗410は、適当などこでも置かれることが可能である。しかしながら、それは、最大の柔軟性と最小の工業的な努力のために、図4に示されるように、マクロセル内に包含されるべきである。あるコアマクロセル404と別のコアマクロセル405との間のインタフェースの際に、特別な事前の対策は必要とされないことに注目すべきである。

保護されているセルおよび使用される製造プロセスに適合するあらゆるESD保護回路を使用することができる。特定のESD回路の選択は、ESD回路32によって保護されるべきセルの型に対して必要とされるESD回路と回路セルのブロックを製造するために必要とされるプロセスとに依存する。設計ルール0.3[ $\mu\text{m}$ ]～0.8[ $\mu\text{m}$ ]を使用するマクロセルブロック回路のためのESD保護回路32に有用な特定の保護回路の代わりの具体例は、米国特許第5,343,05



3号に開示され、また図5から図7に示されている。このESD保護回路は、ターン・オンのための並列に接続される、好ましくはツェナダイオードである、電気的なトリガ(trigger、誘発する、又は始動する)手段と、「オン状態」およびクランプ電圧を制御するためのSCR(シリコン制御整流器)と、直列のツェナダイオードとを備える。

製造プロセス自体は、ICの技術分野においてよく知られている。配線チャンネル/コア電源バスセルへ電源線の保護回路を包含することは、一連のオーバーレイセルを用いて最もよく達成される。各セルは、最低1個の保護回路を必要とするが、セル内での位置は配線チャンネル/コアのマクロセル接続に依存して変えることもできる。実際には、多くのセルは、2~3[mm]幅の構造という全体チップ要求を満足するために、2または3個の保護回路を包含する。

コアの制限された設計のために、コア電源バスと配線チャンネルとを更に含むパッドセル間に引き延ばし可能な(strechable)セルを使用することが必要となる。必要とされる保護構造の全体量を作り上げるために必要なものとして引き延ばし可能なセルに余分な保護構造を配置することもできる。

ランダム・アクセス・メモリのブロックに給電する(feed)Vスタンバイのような分離された電源バスは、それら自身の保護を必要とする。これらの状況の場合には、最小400[ $\mu$ m]の保護セル幅が好ましい。これらのマクロセルは、Vスタンバイ電源バスと基準電位の源との間の電源バスの抵抗に対しては2[ $\Omega$ ]規則を守る(observe)一方で、実際のマクロセルになるべく近くに置かれるべきである(マクロセル内に仮に(even)包含されてもよい)。

図5では、本発明を実践するために有用なESD保護回路50は、SCR52のアノードとゲートとの間に接続された第1のツェナダイオード54とSCR52とを備える。ダイオード54は、SCR52が「オン」状態へ切り替えられる電圧を制御するように、SCR52のトリガ電圧を制御する。第2のツェナダイオード56は、SCR52を直列になるように、SCR52のカソードに接続される。ツェナダイオード56のカソードはSCR52のカソードへ接続され、ツェナダイオード56のアノードは第1の端子58に接続される。抵抗60は、SCR52のゲートと端子58との間に、そしてツェナダイオード54と直列に接

続されている。SCR52のアノードおよびツェナダイオード54のカソードは、第2の端子62に接続されている。ツェナダイオード56は、「オン」状態、またはSCR52のクランプ電圧を制御する。回路50は、図示されていない保護されるべきマクロセルブロックがわたって接続される電源線24および26へ接続されている端子58および62を持つ2端子のデバイスである。

図6では、代わりの保護回路100は、SCR112と、SCR112と並列である第1のツェナダイオード114と、SCR112と直列である第2のツェナダイオード116とを備える。ツェナダイオード116は、ツェナダイオード116のアノードがSCR112のアノードへ電氣的に接続された状態で、SCR112のアノードと第2の端子120との間に接続される。SCR112のカソードは第1の端子118へ接続され、ツェナダイオード116のカソードは第2の端子120へ電氣的に接続されている。ツェナダイオード114は、ツェナダイオード114のカソードがツェナダイオード116のカソードおよび第2の端子120へ接続されたままで、SCR112とツェナダイオード116とに並列である。抵抗122は、ツェナダイオード114のアノードと第1の端子118との間に直列に接続されている。抵抗122とツェナダイオード114との接合は、SCR112のゲートへ接続されている。回路100はまた、電源線24および26へ接続される端子118および120を持つ2個の端子のデバイスである。回路100は、図示されていない保護されるべきマクロセルブロックがわたって接続される電源線24および26へ接続されている端子118および120を持つ2端子のデバイスである。

図7では、代わりの保護回路200は、SCR212と、SCR212と並列の第1のツェナダイオード214と、SCR212と直列の第2のツェナダイオード216と、を備える。ツェナダイオード216は、ツェナダイオード216のアノードがSCR212のアノードへ接続された状態で、SCR212のアノードと第2の端子220との間に接続される。SCR212のカソードは第1の端子218へ接続され、ツェナダイオード216のカソードは第2の端子220へ接続される。ツェナダイオード214は、SCR212と並列に接続される。抵抗221は、ツェナダイオード214のカソードと第2の端子220との間に

直列に接続される。抵抗 2 2 1 とツェナダイオード 2 1 4 との接合は、SCR 2 1 2 の第 2 のゲートへ接続される。抵抗 2 2 2 は、ツェナダイオード 2 1 4 のアノードと第 1 の端子 2 1 8 との間に直列に接続される。抵抗 2 2 2 とツェナダイオード 2 1 4 との接合は、SCR 2 1 2 の第 1 のゲートへ接続される。回路 2 0 0 は、図示されていない保護されるべきマクロセルブロックがわたって接続される電源線 2 4 および 2 6 へ接続されている端子 2 1 8 および 2 2 0 を持つ 2 端子のデバイスである。

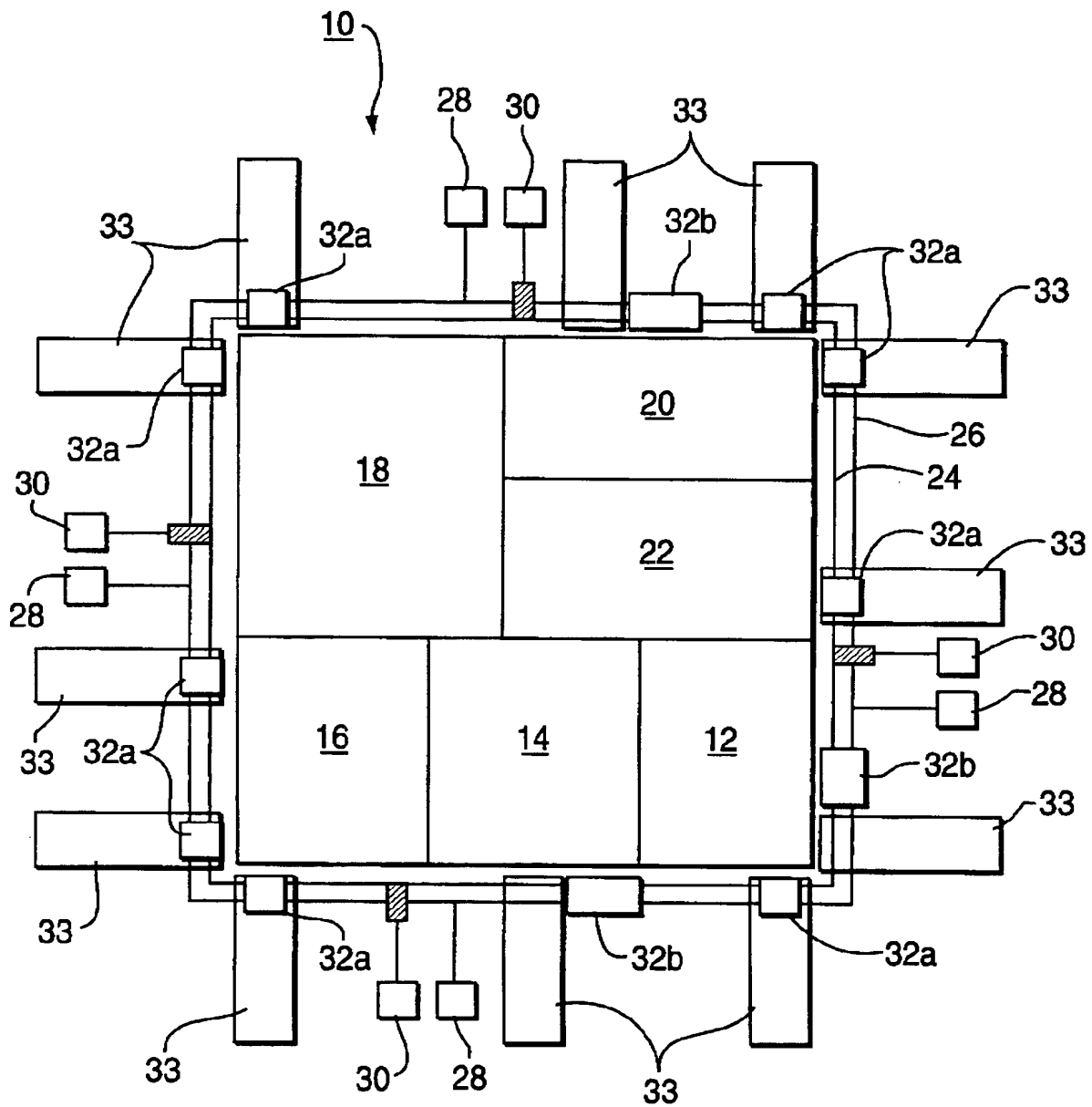
典型的な工業上の実施では、集積回路の専用 (dedicated) 機能のコア論理を形成するために適当なものとして組み合わされるマクロセルと呼ばれる大きな論理ブロックが設計される。幾何学的に縮小する (shrink) 場合、製造者はより小さい IC を作るためにマクロセルを縮小したいと考える。ESD 保護回路は、マクロセルの異なる縮小と共に変わり得る。ESD 保護の構造が各マクロセルへ加えられると、実質的な努力が必要であり、そして設計において不注意に何かを変化させる危険が常にあり、エラーを引き起こす。また、縮小が行われる毎にマクロセルを変化させることはマクロセルが増加することを引き起こし、このため縮小の利益を小さくする。本発明のパワーリング・アプローチを使用することは、最大の柔軟性を与え、マクロセルのアレイへ ESD 保護を追加するために必要とされる努力を小さくし、そしてあらゆるマクロセルに影響することなしに行われることが可能である。このため、全体の回路が設計された後に、本発明はコア論理回路またはマクロセルの他の似たようなアレイといった回路へ供給し、その回路では ESD 保護回路を個々のセルの各々に与える。また、本発明は、全体として回路サイズを実質的に増加することなしに、ESD 保護回路の追加を考慮にいられている。

本発明の具体例の修正が当業者に思い浮かぶことがある。例えば、模範となる具体例が個々のセルのアレイのまわりに延びる電源バスの表現を用いて記述された一方で、電源バスの他の配置を使用してもよい。加えて、模範となる具体例が特定の型の保護回路の表現を用いて記述された一方で、保護されている回路と適合する他の保護回路やプロセス技術はまた、本発明の範囲内にある。このような、また同類の修正は、本発明の範囲と精神、および添えられた請求の範囲の内に

あ

ると意図されている。

【図 1】

**FIG. 1**

【図 2】

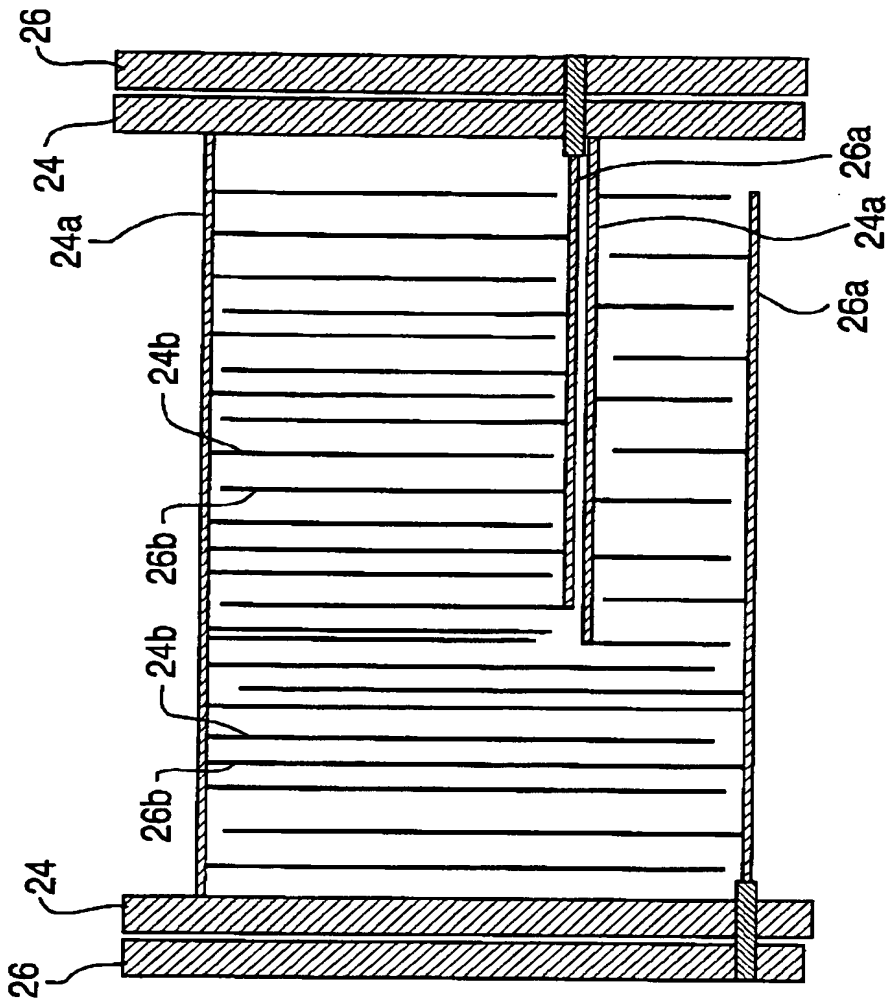
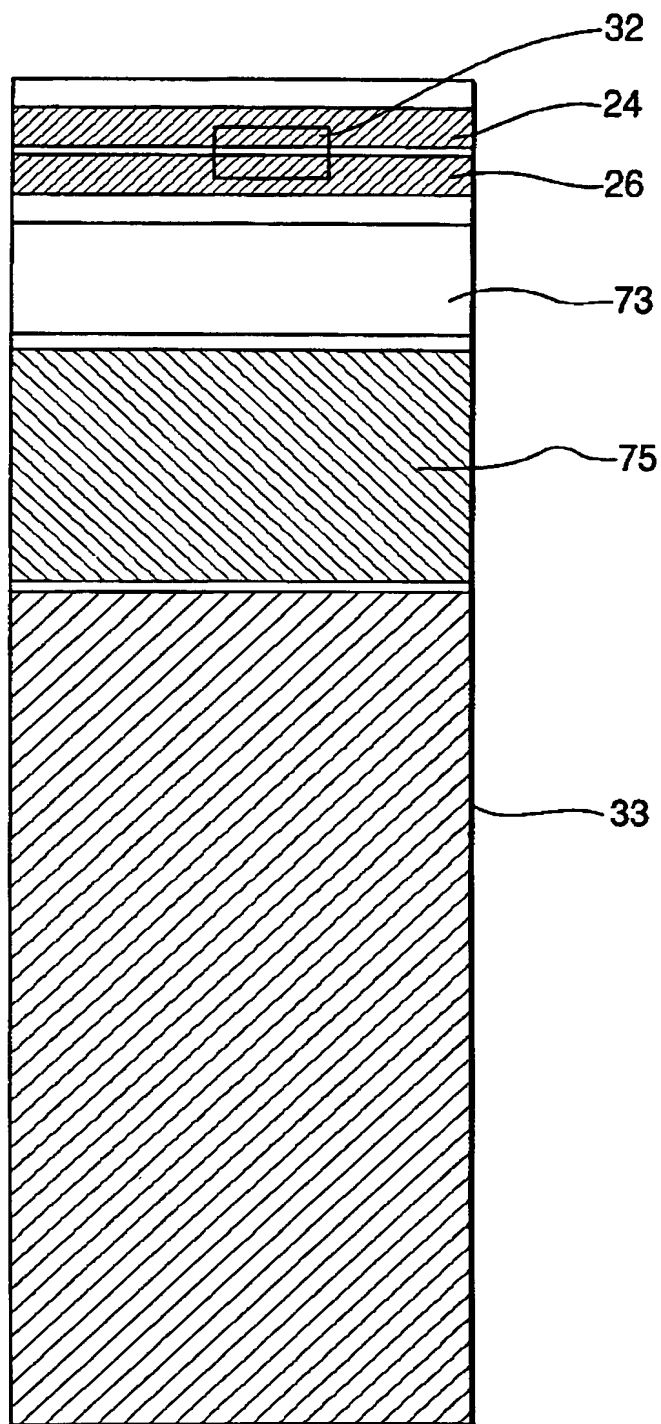


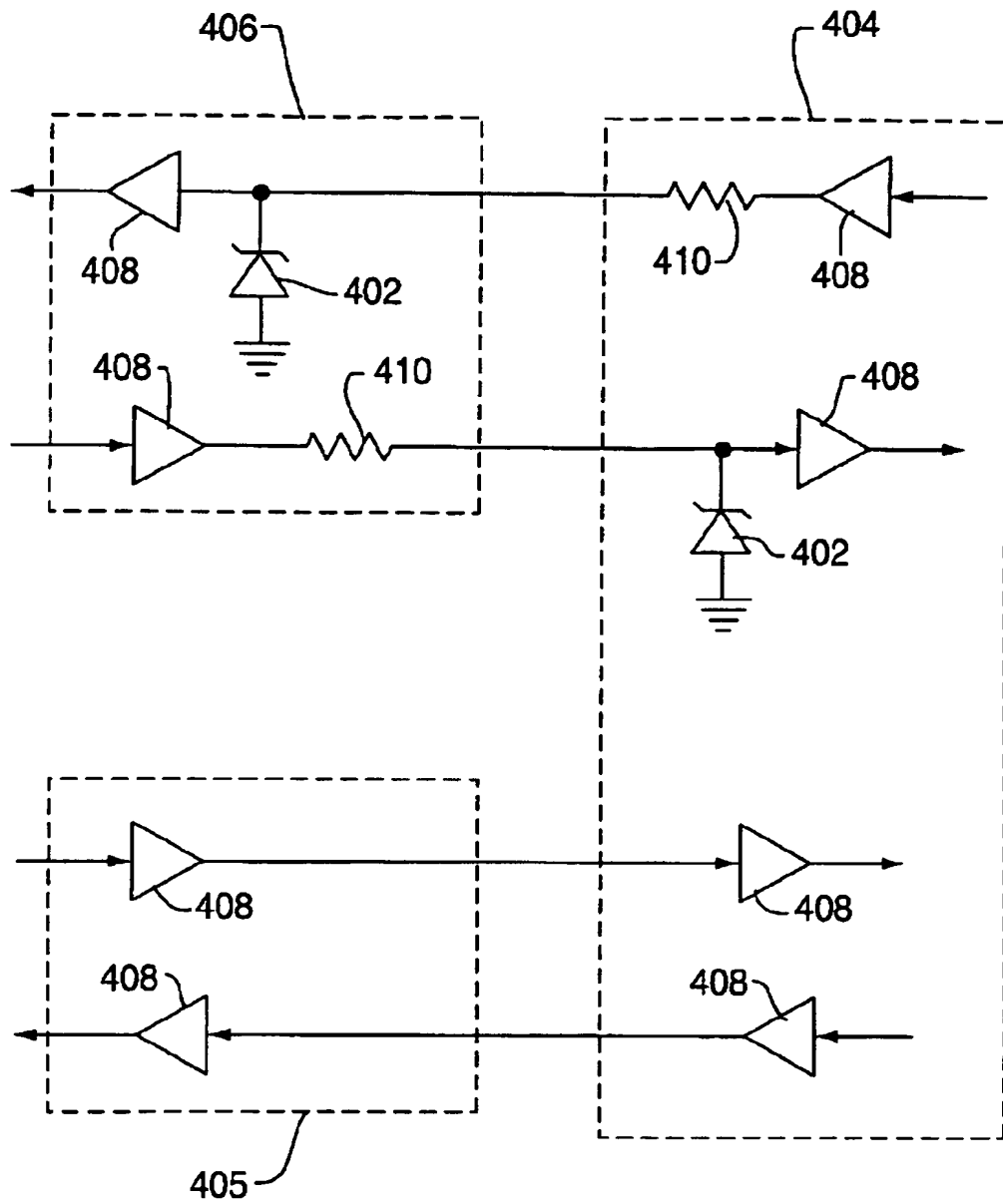
FIG. 2

【图 3】

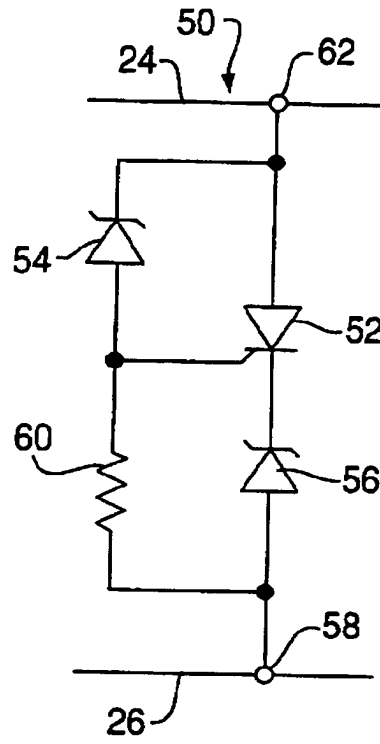


**FIG. 3**

【図 4】

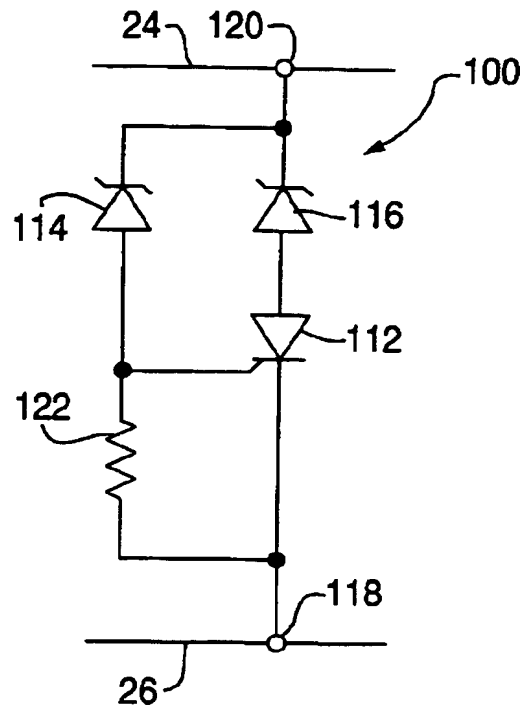
**FIG. 4**

【图 5】

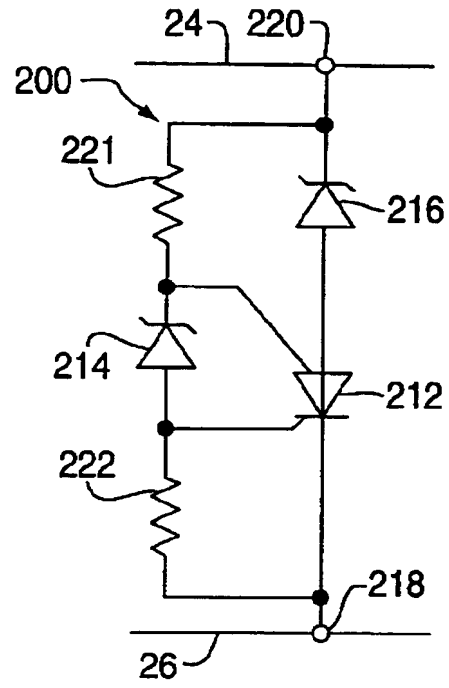
**FIG. 5**



【图 6】

**FIG. 6**

【图 7】



**FIG. 7**

## 【国際調査報告】

## INTERNATIONAL SEARCH REPORT

International application No.  
PCT/IB96/00587

<b>A. CLASSIFICATION OF SUBJECT MATTER</b> IPC(6) : HO1L 29/74, 31/111 US CL : 257/173, 161 According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) U.S. : 257/173, 161 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US, 5,336,908 A (ROBERTS) 9 August 1994, Fig.1.	1-13
A	US 5,311,391 A (DUNGAN et al) 10 May 1994, note entire document	1-13
Y	US 5,043,782 A (AVERY) 27 August 1991, note Fig. 1.	1-13
Y	US 5,343,053 A (AVERY) 30 August 1994, note abstract.	12-13
A	US 5,361,185 A (YU) 01 November 1994, note entire document	1-13
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reasons (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 26 OCTOBER 1996		Date of mailing of the international search report 07 NOV 1996
Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20231 Facsimile No. (703) 305-3230		Authorized officer STEPHEN MEIER Telephone No. (703) 308-0956

フロントページの続き

(51) Int. Cl.<sup>6</sup>

H 0 1 L 27/10

識別記号

4 8 1

F I